

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-180562
(43)Date of publication of application : 28.06.1994

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 04-062963

(71)Applicant : NEC CORP

(22)Date of filing : 19.03.1992

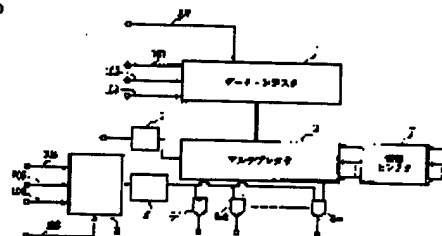
(72)Inventor : YAMAWAKI TATSUJI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide the liquid crystal display device of an active matrix system which can increase the number of gradations up to 64 to 256 in correspondence to full colors without increasing the number of wirings.

CONSTITUTION: This liquid crystal display device has a data register 1 which takes in M bits of digital display signals 101 to 103 from the outside via a clock signal 107, a multiplexer 2 corresponding to plural outputs which receives the digital display signal inputted therefrom and selects and outputs one piece of reference voltage from plural reference voltages (V1, V2,...V2M) supplied from the outside, a pulse width modulation circuit 3 of N bits of digital display signals 104 to 106 and AND circuits 6-1,..., 6-n which output by ANDing the plural output signals from the multiplexer 2 and pulse width modulation signals as driving circuits.



LEGAL STATUS

[Date of request for examination]	28.03.1996
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2890964
[Date of registration]	26.02.1999
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C): 1998,2000 Japanese Patent Office

Best Available Copy

AGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-180562

(43) 公開日 平成6年(1994)6月28日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7319-5G		
G 0 2 F 1/133	5 1 0	9226-2K		
G 0 9 G 3/20		K 7335-5G		

審査請求 未請求 請求項の数3 (全 6 頁)

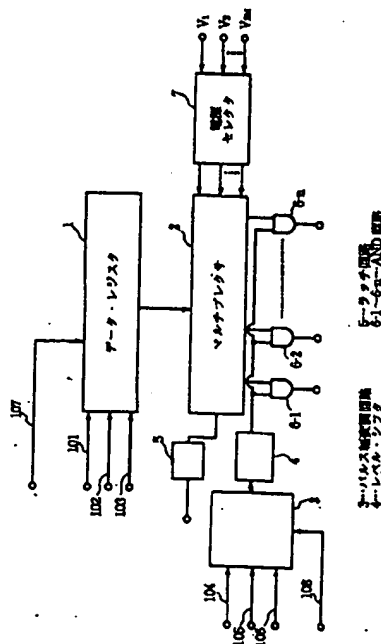
(21) 出願番号	特願平4-62963	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成4年(1992)3月19日	(72) 発明者	山脇 達司 東京都港区芝五丁目7番1号日本電気株式会社内
		(74) 代理人	弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【目的】 配線数の増加なしに、フルカラーに対応し64～256まで階調数を増大できるアクティブ・マトリクス方式の液晶表示装置を提供する。

【構成】 クロック信号107を介して、外部よりのMビットのデジタル表示信号101、102、103を取込むデータ・レジスタ1と、これから入力されるデジタル表示信号を受けて、外部より供給される複数の基準電圧 (V_1 、 V_2 、……、 V_{2n}) の内より1個の基準電圧を選択して出力する、複数出力に対応するマルチプレクサ2と、Nビットのデジタル表示信号104、105、106のバース幅変調回路3と、マルチプレクサ2よりの複数出力信号と、バース幅変調信号との論理積をとって出力するAND回路6-1、……、6-nとを駆動回路として備えている。



【特許請求の範囲】

【請求項1】 マトリクス状に配置されるスイッチング素子と液晶とにより形成され、当該スイッチング素子のオン・オフ動作により画像を表示するアクティブ・マトリクス方式の液晶表示装置において、

外部より入力される所定のクロック信号を介して、所定の表示コントローラより入力されるM（正整数）ビットのデジタル表示信号を入力して取込むデータ・レジスタと、

前記データ・レジスタより入力されるデジタル表示信号を受けて、当該デジタル表示信号を介して、外部より供給される複数の外部基準電源の内より1個の基準電圧を選択して出力する複数出力に対応するマルチプレクサと、

N（正整数）ビットのデジタル表示信号を入力し、所定の基準パルス信号を介して、当該デジタル表示信号をパルス幅変調して出力するパルス幅変調回路と、

前記マルチプレクサより出力される複数の出力信号と、前記パルス幅変調回路より出力されるパルス幅変調信号との論理積演算処理を行い、液晶表示用の駆動信号として出力する回路ブロックと、

を液晶パネルの駆動回路として備えることを特徴とする液晶表示装置。

【請求項2】 マトリクス状に配置されるスイッチング素子と液晶とにより形成され、当該スイッチング素子のオン・オフ動作により画像を表示するアクティブ・マトリクス方式の液晶表示装置において、

外部より入力される所定のクロック信号およびスタート・パルス信号を入力して、前記スタート・パルス信号を介して、前記クロック信号のタイミングを制御調整して出力するデータ・レジスタと、

前記データ・レジスタより入力されるクロック信号を介して、所定の表示コントローラより入力されるM（正整数）ビットのデジタル表示信号を入力して取込むデータ・レジスタと、

前記データ・レジスタより入力されるデジタル表示信号を受けて、当該デジタル表示信号を介して、外部より供給される複数の外部基準電源の内より1個の基準電圧を選択して出力する複数出力に対応するマルチプレクサと、

N（正整数）ビットのデジタル表示信号を入力し、所定の基準パルス信号を介して、当該デジタル表示信号をパルス幅変調して出力するパルス幅変調回路と、

前記マルチプレクサより出力される複数の出力信号と、前記パルス幅変調回路より出力されるパルス幅変調信号との論理積演算処理を行い、液晶表示用の駆動信号として出力する回路ブロックと、

を液晶パネルの駆動回路として備えることを特徴とする液晶表示装置。

【請求項3】 前記回路ブロックが、前記マルチプレク

サより出力される複数の出力信号と、前記パルス幅変調回路より出力されるパルス幅変調信号との論理積をとるAND回路と、当該AND回路の出力端に、帰還増幅器とコンデンサとにより形成されるレベル保持回路とを供えることを特徴とする請求項1および2記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置に関し、特に、フルカラー表示が可能なデジタル・ビデオ信号の表示用として用いられる液晶表示装置に関する。

【0002】

【従来の技術】 近年、液晶表示装置は、液晶自体の表示品位と応答性に優れた唯一のフラットパネル・ディスプレイとして脚光を浴びており、パーソナル・コンピュータ、液晶テレビジョンおよびその応用製品である液晶プロダクション等に利用されている。今後は、デジタル・アナログの双方の画像を表示することができるマルチメディア分野に対する応用面が期待されている。例えば、液晶テレビジョンのようなフルカラー表示が可能なパーソナル・コンピュータ用10インチ・サイズのアクティブ・マトリクス方式液晶（以下、液晶と呼ぶ）の駆動回路を構成する際には、当該駆動回路の構成手法としては、従来より用いられている以下の方式による対応が考えられている。その一つは、従来のデジタル信号を入力し、当該デジタル信号に対応する外部基準電源をマルチプレクサにより選択して、液晶に出力する方式である。また、もう一つは、デジタル信号をD/A変換器によりアナログ信号に変換し、従来のテレビジョン用のアナログ・ドライバを介して液晶に出力する方式である。更に、最後は、外部サンプリング信号を入力して、デジタル液晶信号により、当該信号をサンプリングして、アナログ・ドライバを介して液晶に出力する方式である。

【0003】 一般に液晶のカラー表示においては、液晶パネルを光バルブとして、各液晶ピクセルごとにカラー・フィルタを装着し、3ピクセル毎1画素とする加色法により実現されている。例えば、前記デジタル信号によりフルカラー表示する場合には、1ピクセル当り64または256階調の階調表示が必要となり、当然のことながら、液晶表示装置の階調数64または256に対応する電圧出力機能が要求される。

【0004】 また、液晶表示装置においては、液晶パネルの縦横にマトリクス状に表示ドライバを配置し、横方向に配置されるドライバをソース・ドライバ、縦方向に配置されるドライバをゲート・ドライバと呼んでいる。階調表示する際には、ソース・ドライバから、液晶表示装置の階調数の2倍の電圧の中から、中央のコモン電位に対して、それぞれ同一振幅レベルの正負対称電圧を交互に液晶に印加することにより充放電動作を行い、階調表示を実現している。

【0005】

【発明が解決しようとする課題】 上述した従来の液晶表示装置においては、従来例の説明において、最初に挙げたマルチプレクサによる選択方式により、デジタル信号によりフルカラー表示を行う場合、液晶表示装置の階調数は前述のように、64または256階調表示が必要となる。この場合、マルチプレクサにより選択される外部基準電源の数量は128または512個となり、当該基準電源と液晶表示装置を接続する配線も同数必要となるため、本方式による実現性はないと考えられる。また、マルチプレクサの回路規模が大きくなることもあり、本方式では8~16階調程度の比較的低階調表示に用途が限定され、64階調以上の表示には不適格である。

【0006】次に、デジタル信号をD/A変換器によりアナログ信号に変換した後に、アナログ・ドライバによる方式の場合には、64または256階調のような多階調になると、アナログ・ドライバを構成するオペアンプのオフセット電圧（一般に、150mV程度）が液晶を駆動するダイナミック・レンジを、上記階調数で分割した単位電圧値（140mVまたは35mV程度）を上回るために、階調表示機能を満足させることができなくなる。このために、本方式の場合も、64または256階調の多階調表示の実現性がない。そして、更に、オペアンプにより構成されるドライバは、当該オペアンプの消費電流として数十mA程度が必要となり、本方式は液晶が有する低消費電力性を損なう点で液晶表示装置としては不適である。

【0007】最後に、外部サンプリング用の信号をサンプリングして、アナログ・ドライバで出力する方式についても、前記D/A変換器を利用する方式と同様の理由により、64または256階調の多階調表示の実現性に乏しい。

【0008】以上、従来の液晶表示装置には、多階調で低消費電力の液晶表示機能の実現性に欠けるという欠点がある。

【0009】

【課題を解決するための手段】 第1の発明の液晶表示装置は、マトリクス状に配置されるスイッチング素子と液晶とにより形成され、当該スイッチング素子のオン・オフ動作により画像を表示するアクティブ・マトリクス方式の液晶表示装置において、外部より入力される所定のクロック信号を介して、所定の表示コントローラより入力されるM（正整数）ビットのデジタル表示信号を入力して取込むデータ・レジスタと、前記データ・レジスタより入力されるデジタル表示信号を受けて、当該デジタル表示信号を介して、外部より供給される複数の外部基準電源の内より1個の基準電圧を選択して出力する複数の出力に対応するマルチプレクサと、N（正整数）ビットのデジタル表示信号を入力し、所定の基準パルス信号を介して、当該デジタル表示信号をパルス幅変調して出力

するパルス幅変調回路と、前記マルチプレクサより出力される複数の出力信号と、前記パルス幅変調回路より出力されるパルス幅変調信号との論理積演算処理を行い、液晶表示用の駆動信号として出力する回路ブロックとを液晶パネルの駆動回路として備えて構成される。

【0010】また、第2の発明の液晶表示装置は、マトリクス状に配置されるスイッチング素子と液晶とにより形成され、当該スイッチング素子のオン・オフ動作により画像を表示するアクティブ・マトリクス方式の液晶表示装置において、外部より入力される所定のクロック信号およびスタート・パルス信号を入力して、前記スタート・パルス信号を介して、前記クロック信号のタイミングを制御調整して出力するデータ・レジスタと、前記データ・レジスタより入力されるクロック信号を介して、所定の表示コントローラより入力されるM（正整数）ビットのデジタル表示信号を入力して取込むデータ・レジスタと、前記データ・レジスタより入力されるデジタル表示信号を受けて、当該デジタル表示信号を介して、外部より供給される複数の外部基準電源の内より1個の基準電圧を選択して出力する複数の出力に対応するマルチプレクサと、N（正整数）ビットのデジタル表示信号を入力し、所定の基準パルス信号を介して、当該デジタル表示信号をパルス幅変調して出力するパルス幅変調回路と、前記マルチプレクサより出力される複数の出力信号と、前記パルス幅変調回路より出力されるパルス幅変調信号との論理積演算処理を行い、液晶表示用の駆動信号として出力する回路ブロックとを液晶パネルの駆動回路として備えて構成される。

【0011】なお、前記回路ブロックは、前記マルチプレクサより出力される複数の出力信号と、前記パルス幅変調回路より出力されるパルス幅変調信号との論理積をとるAND回路と、当該AND回路の出力端に、帰還増幅器とコンデンサとにより形成されるレベル保持回路とを供えて構成してもよい。

【0012】

【実施例】次に、本発明について図面を参照して説明する。

【0013】図1は本発明の一実施例におけるソース・ドライバを示すブロック図である。図1に示されるように、本実施例におけるソース・ドライバは、データ・レジスタ1と、マルチプレクサ2と、パルス幅変調回路3と、レベル・シフタ4と、ラッチ回路5と、n（正整数）個のAND回路6-1、6-2、……、6-nと、電圧セクタ7とを備えて構成される。

【0014】本実施例による表示階調数は（M+N）階調（M、Nは正整数）で構成されており、外部表示コントローラ（図示されない）により（M+N）ビットのデータ長で、ソース・ドライバのデータ・レジスタ1とパルス幅変調回路3に表示データが送出される。また、本実施例においては、カラー表示を前提としており、図1

において、前記表示データとしては、データ・レジスタ1に対しては、それぞれMビットのRの表示データ101、Gの表示データ102、Bの表示データ103が入力されており、また、パルス幅変調回路3に対しては、それぞれNビットのRの表示データ104、Gの表示データ105、Bの表示データ106が入力されている。従って、上記のR、GおよびBを含む合計3ピクセル分の入力ポートが設けられており、合計 $3 \times (M+N)$ 本のバスが必要となる。また、Mビットの表示データ101、102および103は、3ピクセル分が同時に外部クロック107によりデータ・レジスタ1に取込まれるが、それに対応して、他方においては、外部に設けられている基準電源（図示されない）より、電圧セクタ7に供給される2M個の基準電圧 V_1 、 V_2 、……、 V_{2M} の内より、当該電圧セクタ7を介して、その内のM個の電圧が選択されてマルチプレクサ2に入力される。マルチプレクサ2においては、これらのM個の電圧の内より1個の電圧が選択されて、ラッチ回路5を介してラッチされる。この場合、電圧セクタ7において外部から供給される2M個の基準電圧よりM個の電圧が選択されるタイミングは、液晶のフレーム反転またはライン反転による交流化周期ごとのタイミングである。

【0015】また、一方、前記Nビットの表示データ104、105および106は、パルス幅変調回路3に入力され、前記外部表示コントローラより供給される基準パルスを介して、2ⁿ種類のパルス幅信号に変調されて出力され、レベル・シフタ4においてレベル変換されてn個のAND回路6-1、6-2、……、6-nに入力される。n個のAND回路6-1、6-2、……、6-nにおいては、前述のように、ラッチ回路5によりラッチされた選択電圧との論理積が取られて、液晶のR、GおよびBピクセルに対応する電圧が出力される。

【0016】本実施例の場合においては、外部表示コントローラと本液晶表示装置とを接続する表示データ・バスの本数は、 $3 \times (M+N)$ 本となるが、当該液晶表示装置と外部基準電源とを接続する接続線の本数は、中間に電圧セクタ7を設けることによりM本に節減される。このことを具体的に示すと以下のようになる。即ち、デジタル・フルカラー表示の目安となる256階調（1670万色）の場合、本発明によると、 $M=3$ ビット、 $N=5$ ビットとなり、表示データ・バスの本数は、R、GおよびBの各入力ポートにおいて計24本となり、また電源接続線の本数は8本で済むことになる。因みに、従来技術による外部基準電源に対応して電圧選択を行う構成においては、電源接続線の本数は256本となり、実現不可能な本数となる。

【0017】図4(a)、(b)、(c)および(d)に示されるのは、外部表示コントローラより供給される基準パルス108と、パルス幅変調回路3より出力される任意の変調出力と、前以て選択されている外部基準電

源電圧 V_i （ i は、0~2Mの範囲内に含まれる任意数）と、AND回路の論理積出力として、液晶表示装置より出力される信号との相互の時間位相関係を示す図である。なお、図4(a)、(b)、(c)および(d)において、Tは基準周期を表わしている。この図4により、1水平期間即ち基準周期ごとに、当該液晶表示装置より所望の表示出力信号が得られることが理解される。

【0018】図2に示されるのは、本発明の第2の実施例におけるソース・ドライバを示すブロック図である。図2に示されるように、本実施例におけるソース・ドライバは、シフト・レジスタ8と、データ・レジスタ9と、マルチプレクサ10と、パルス幅変調回路11と、レベル・シフタ12と、ラッチ回路13と、n個のAND回路14-1、14-2、……、14-nと、電圧セクタ15とを備えて構成される。

【0019】本実施例の第1の実施例との相違点は、デジタル表示データ入力用のデータ・レジスタ9における当該表示データの取込み期間を、外部より制御することができるように、シフト・レジスタ8を追加していることである。このシフト・レジスタ8に対して、外部クロック信号107の入力に加えて、表示データ取込み制御用のスタート・パルス信号109を入力することにより、1水平期間中において、ブランキング・タイムを自由に設定することができるという利点を得られている。

【0020】また、図3に示されるのは、本発明の第3の実施例におけるソース・ドライバを示すブロック図である。図3に示されるように、本実施例におけるソース・ドライバは、データ・レジスタ16と、マルチプレクサ17と、パルス幅変調回路18と、レベル・シフタ19と、ラッチ回路20と、n個のAND回路21-1、21-2、……、21-nと、n個のコンデンサ22-1、22-2、……、22-nと、n個の増幅器23-1、23-2、……、23-nと、電圧セクタ24とを備えて構成される。

【0021】本実施例の第1の実施例との相違点は、マルチプレクサ17より液晶表示データが出力される回路として、n個のAND回路21-1、21-2、……、21-nの出力側に、n個のコンデンサ22-1、22-2、……、22-nと、n個の増幅器23-1、23-2、……、23-nとが付加されていることである。これにより、液晶表示装置において階調出力されたパルス電圧が、1水平期間中にコンデンサ22-1、22-2、……、22-nと増幅器23-1、23-2、……、23-nとにより形成される回路ブロックを介して保持され、振幅変調された出力電圧が、次の水平期間をフルに活用して液晶に対する電圧印加（書込み）を可能にするという利点がある。

【0022】

【発明の効果】以上説明したように、本発明は、外部基準電源を介してパルス信号の変調を行うことにより、当

該外部基準電源との接続線本数を増すことなしに、階調数を8～16階調よりフルカラーに対応する64～256階調まで飛躍的に増大させることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図である。

【図2】本発明の第2の実施例を示すブロック図である。

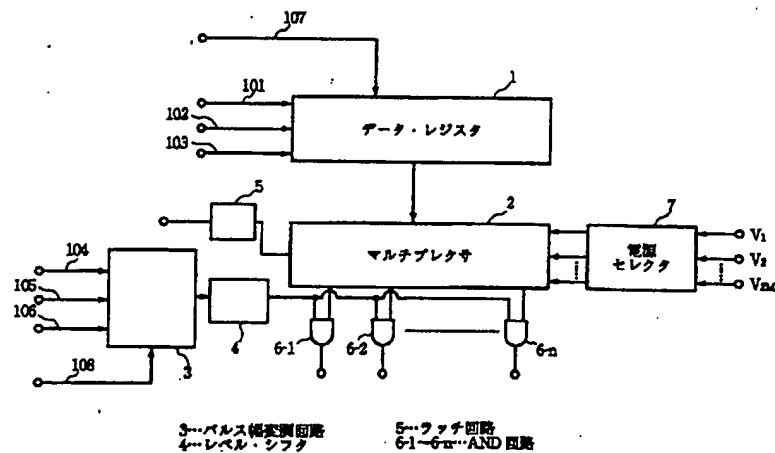
【図3】本発明の第3の実施例を示すブロック図である。

【図4】第1の実施例における動作信号を示すタイミング図である。

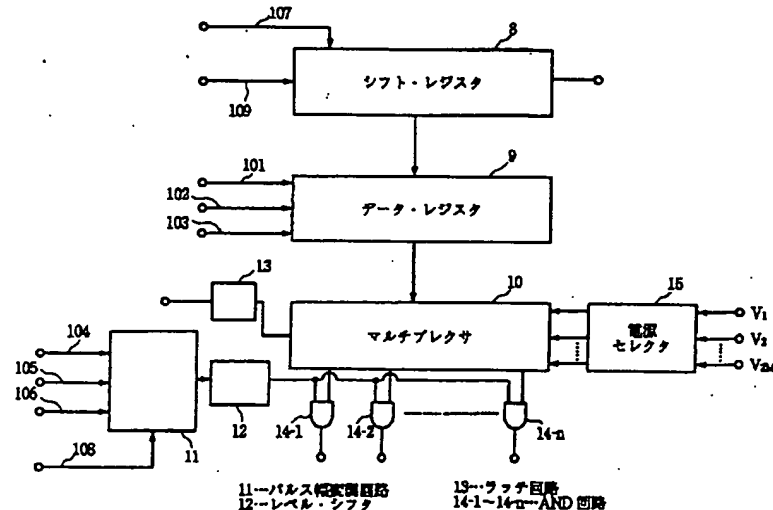
【符号の説明】

- 1、9、16 データ・レジスタ
- 2、10、17 マルチプレクサ
- 3、11、18 パルス幅変調回路
- 4、12、19 レベル・シフタ
- 5、13、20 ラッチ回路
- 6-1～6-n、14-1～14-n、21-1～21-n AND回路
- 7、15、24 電圧セクタ
- 8 シフト・レジスタ
- 22-1～22-n コンデンサ
- 23-1～23-n 増幅器

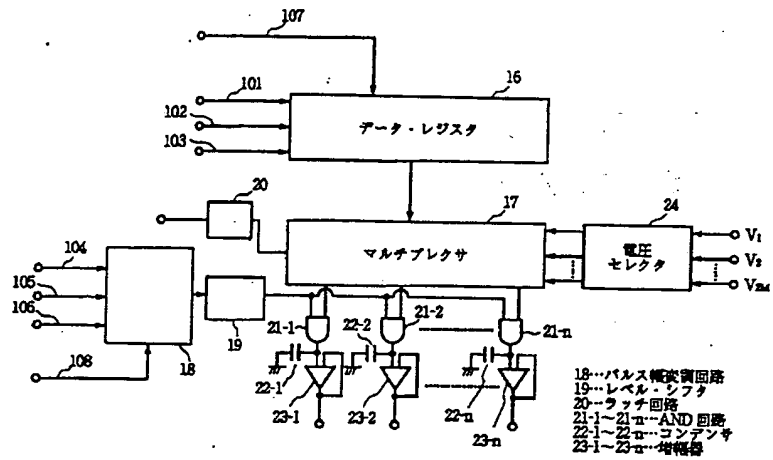
【図1】



【図2】



【図3】



【図4】

